

Reference A

Japanese Patent Public Disclosure No. 98741/1978

Date of Public Disclosure: August 29, 1978

Application No. 13409/1977

Application Date: February 8, 1977

Inventor: Masao Managashi

Applicant: Nippon Electric Company, Limited

Titel: Higher Recode Processing System

Gist of the Invention

It is an object of the invention to provide a higher recode processing system intended to improve performance by reducing each load of a CPU, a main memory and a channel and the like by means of limiting data to be transmitted between a main memory and an auxiliary storage device to recodes requested by a command (higher recode processing command).

The present invention is characterized in that a command (higher recode processing command) output from a CPU is interpreted and performed independent from the CPU and that a new recode is made in an auxiliary storage device and transmission of said recode to a main memory or storage of said recode in a predetermined position in the auxiliary storage device are respectively controlled in accordance with the command.

**BEST AVAILABLE COPY**

STK V.EMC  
STK 07880

Brief Description of the Drawings

Fig. 1 is a block diagram of the present invention.

Figs. 2 and 3 are diagrams showing the command operation used in the present invention.

40...storage device control portion,

41 and 42...shift register

43...storage processing portion

45...mask register

30,31 and 32...cells

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53-98741

⑪Int. Cl. <sup>2</sup>	⑫特許出願公開	⑬日本分類	⑭特許出願公開
G 06 F 13.00	昭和53年(1978)8月29日	97(7) C 0	6241-56
G 06 F 3/00		97(7) C 02	6241-56
G 06 F 9.00		97(7) C 2	7361-56
G 06 F 13/04		97(7) D 0	6711-56
G 11 C 9.00		97(7) F 1	6745-56

⑮公開 昭和53年(1978)8月29日

⑯発明の数 1

⑰審査請求 未請求

(全 4 頁)

⑱高水準記録処理方式

東京都港区芝五丁目33番1号

日本電気株式会社内

⑲特 願 昭52-13409

⑳出 願 人 日本電気株式会社

㉑出 願 昭52(1977)2月8日

東京都港区芝五丁目33番1号

㉒発 明 者 真名垣昌夫

㉓代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

高水準記録処理方式

2. 発明の要旨

電子計算機システムの回転補助記憶媒体装置の記憶媒体上への記録の作成あるいは作成された記録に対する高水準記録処理命令を解釈し、前記憶媒体装置の複数記憶領域を制御することにより前記憶媒体から記録をレジスタ上に読み取り出して求める記録を呼び出し前記憶媒体装置で指定された項目群で新規記録を作成して主記憶媒体への転送あるいは前記憶媒体上への格納を中央処理装置と独立に制御するようにしたことを特徴とする高水準記録処理方式。

1. 発明の構成を説明

本発明は高水準記録処理方式に係し、特に

補助記憶と主記憶としての記憶の転送等を中央処理装置とは独立に行う高水準記録処理方式に関する。

従来の電子計算機システムでは、利用者やプログラムにより設定された高水準記録処理命令（以下ではコマンドと言う）を実行するとき、コマンド条件を満たす記憶を補助記憶媒体から読み込み、処理を行うために中央処理装置でコマンドをさらに補助記憶制御命令（入出力命令）に分解して補助記憶媒体から要求を満たす可能性のある記憶の集合（ブロック）を逐次、チャネルを通じて主記憶に読み込み中央処理装置がコマンド条件を満たす記憶を取出してコマンド処理を行っている。しかし、この方式では主記憶と補助記憶との間のデータ転送量と時間は不必要に多くなり、主記憶と補助記憶との処理速度差が大きくかつ中央処理装置が高負荷化している今日の電子計算機システムにおいては、各装置の使用頻度の不均衡を招き、データ処理上の性能低下の

装置となっている。このような問題の対策として種々の反転記憶制御方式が考案されているが、主記憶上へコマンド処理に用いた記憶の戻込みはなされず、本質的な解決とはなっていない。

本発明の目的は主記憶装置と補助記憶装置間のデータ転送をコマンドで要求された記憶のみに限定することによって中央処理装置や主記憶装置およびチャネル等の負荷を軽減し電子計算機システムの性能向上を図るための高水準記憶処理方式を提供することにある。

この発明では、中央処理装置(CPU)から与えられたコマンドをCPUに独立に解釈実行しこのコマンド要求に従って所望の記憶を補助記憶装置上に作成して主記憶への転送あるいは前記憶装置上の予め定められた位置への格納を制御するようにしている。

次に図面を参照して本発明を詳細に説明する。

第1図は本発明の一実施例を示すブロック

図に示されて記憶が格納されている。ブロック40は記憶装置制御部であり、中央処理装置と主記憶とのインタフェースをとり、送られてきたコマンドを解釈し、各セルの番込み/読出し部を制御するとともに本装置全体の主制御部となっている。ブロック41、42および43は単位記憶が格納可能な長さをもつシフトレジスタであり、1ビットのシフト速度はセルからの1ビットの読出しおよび番込み速度と等しく、同期している。

ブロック43は記憶処理部であり、比較器、ビットカウンタ、記憶カウンタおよびゲート制御部からなり、前記制御部40から送られたコマンドに従ってシフトレジスタ41および42を用いて求める記憶の抽出を行い、さらに各レジスタのゲート制御を行う。ブロック44はマスクレジスタであり、コマンドで要求された記憶部分のみを取り出すのに用いられる。

第1図および第2図を用いて、コマンドで

図であり、図2は記憶装置の記憶単位(セル)を3セル用い、記憶の読出し/番込みレジスタとしてシフトレジスタを使用している。

第2図および第3図は第1図で示した本装置内部構成要素の状態を示し、図中の番号は第1図と対応している。第2図はセル30に記憶されている記憶のうちレジスタ41に設定した値と一致する記憶を抽出し、新規記憶を作成しセル30に格納するコマンドの例を示し、第3図はレジスタ41に設定した記憶をセル30の内容と比較して順序づけ適切な位置に格納して新規記憶集合を作成するコマンドの例を示す。

第1図において、記号1、2、3、……、7は制御線を、記号10、11、12、……、21は信号線を表わす。記号30、31および32は各々読出し/番込み部30'、31'および32'を有した図2の記憶装置であり(それぞれをセル30、31および32と呼ぶ)、この上に記憶間ギャップ(ING)に

指定された項目の内容と一致する記憶をセル30から抽出し、このセル30から抽出された記憶をもとに新しい記憶を作成し、セル31に格納する場合を例として本発明の動作を説明する。

図示していない中央処理装置は制御線1を介して前記制御部40に番込み信号を送り、利用可能ならば信号線10を介してコマンドを送る。もし不可用ならば、中央処理装置側の管理が行なわれる。前記制御部40はコマンドを受けとった後に処理に必要なセル30および31の状態を調べ、もしセル30および31が使用中ならば、前記コマンドの実行を待状態にする。セル30および31が使用可能ならば、信号線2および3を介して各々の読出し/番込み部30'、31'および32'を所定の位置に設定し、信号線14とセル30の信号線20とセル31をオンの状態にする。また、並行して信号線10を介して、コマンド(命令コード、比較項目1の

アドレス、前記項目1の長さ、前記項目1の内容、比較項目2のアドレス、...)を記憶処理部43に送り、さらに、前記比較項目の内容を信号線12を通じてシフトレジスタ41に設定し、信号線13を介してマスクレジスタ44に新しく作成すべき記憶の形式を設定する。以上の動作が終了した時点で記憶処理部43は制御部5を介してシフトレジスタ42のゲートを開き、セル30に格納された記憶を順次読み込む。このとき、シフトレジスタ41のゲートは信号線5'を介して閉じられている。記憶処理部43はビットカウンタを用いてIRGに続く記憶の最初のビットよりカウントを開始して記憶内の比較項目の第1ビットがシフトレジスタ42にロードされた後からシフトレジスタ41の内容と比較を開始する。シフトレジスタ42に1記憶がロードされたとき比較処理は終了しており、この結果が真のときは制御部6を介して信号線17をオンの状態にし、シフトレジ

スタの内容をマスクレジスタ44に転送し、その結果、前記コマンドで指定された記憶項目の内容と一致する記憶のみからなる新しい記憶がシフトレジスタ45に順次ロードされる。シフトレジスタ42の1記憶の転送が終了した時点で記憶処理部43は制御部4を介して前記制御部40に読み込み信号を出す。このあと、前記制御部40は制御部3を用いて読み出し/書き込み部31'を制御してシフトレジスタ45の内容をセル31に書き込む(あるいは信号線21を介して前記制御部40に送り、信号線10を通じて主記憶に転送する)。以上の動作の場合、信号線18はオフの状態になっている。記憶処理部43はコマンドに対するすべての処理が終了したときあるいはセル30の記憶すべてを読み出した場合に制御部4および信号線11を介して前記制御部40に読み込みをかけ状態を通知する。これにより後述する処理が前記制御部40の下で実行される。前記制御部40は新しいコマ

ンドを転送あるいは別のセル32を読み出せるかあるいは処理を終了する。

以上の説明では記憶の比較、新規作成を内蔵とり動作を説明したが、記憶の項目内容による順序づけを行う新規記憶の挿入あるいは記憶の変更はシフトレジスタ41および42にセル40から記憶を第3図に示すように交互にロードすることにより可能であり、記憶の削除は前述の動作と同様にして処理できる。

以上説明した如く、本発明においては、中央処理装置とは独立に(回転型)記憶媒体制御部40上で高水準の記憶処理命令の実行が記憶処理部及びシフトレジスタの使用と、多数記憶領域(セル)の制御とにより可能となり、これにより前記記憶媒体より利用者プログラム実行上必要な記憶のみが主記憶に転送され、主記憶と前記記憶媒体間のデータ転送量、使用時間を大巾に減少して電子計算機システムの性能を大巾に向上できる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図および第2図と第3図は本発明に用いるコマンドの例を示す図である。

第1図において、参照数字40は記憶媒体制御部、参照数字41、42、45はシフトレジスタ、参照数字43は記憶処理部、参照数字45はマスクレジスタおよび参照数字30、31、32はセルをそれぞれ示す。

代理人 弁護士 内 原 秀